

**THIS PAGE IS INSERTED BY OIPE SCANNING  
AND IS NOT PART OF THE OFFICIAL RECORD**

### **Best Available Images**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

**BLACK BORDERS**

**TEXT CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT**

**BLURRY OR ILLEGIBLE TEXT**

**SKEWED/SLANTED IMAGES**

**COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE**

**VERY DARK BLACK AND WHITE PHOTOS**

**UNDECIPHERABLE GRAY SCALE DOCUMENTS**

**IMAGES ARE THE BEST AVAILABLE  
COPY. AS RESCANNING *WILL NOT*  
CORRECT IMAGES, PLEASE DO NOT  
REPORT THE IMAGES TO THE  
PROBLEM IMAGE BOX.**



## 中華民國專利公報資料庫 - 專利公報全文

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

(C) COPYRIGHT 2003 APIPA 第 91104389 號

號

審(新)引証附件

專利公告號: 381309

專利公告日期: 20000201

專利申請案號: 87115645

專利申請日期: 19980919

公告卷數: 027 公告期數: 004

專利權類別: 發明

專利權證書號: 000000

專利名稱: 閘極的製造方法

國際專利分類: H01L21/335

發明人名稱(地址): 陳進來(桃園縣楊梅鎮光裕南街二一五號)

發明人名稱(地址): 葉文冠(新竹縣竹北市華興一街四十三巷十二號)

發明人名稱(地址): 周志文(新竹市光復路一段三七六巷一五六弄十號六樓)

申請人名稱(地址): 聯華電子股份有限公司(新竹科學工業園區新竹市力行二路三號)

專利代理人: 詹銘文

申請專利範圍:

1.一種閘極的製造方法，包括下列步驟：

提供一基底；

依序形成一閘極氧化層、一多晶矽層、一阻障層與一導電層於該基底上；

定義並去除部分該導電層與該阻障層，至暴露出該多晶矽層為止；

在該基底上形成一輕摻雜汲極區；

在該導電層與該阻障層側壁形成一間隙壁；

去除暴露出來之該多晶矽層與該閘極氧化層，至暴露出基底為止；以及

在暴露出來之該基底中形成一源極／汲極區。

2.如申請專利範圍第1項所述之製造方法，其中該多晶矽層之厚度約為300～1000Å。

3.如申請專利範圍第1項所述之製造方法，其中該導電層之厚度約為200～500Å。

4.如申請專利範圍第1項所述之製造方法，其中該導電層具有低阻值。

5.如申請專利範圍第4項所述之製造方法，其中該導電層之材質包括鎢。

6.如申請專利範圍第1項所述之製造方法，其中該阻障層之材質包括氮化鈦。

7.如申請專利範圍第1項所述之製造方法，其中該間隙壁之材質包括氮化矽、二氧化矽與氮氧化矽其中之一。

8.如申請專利範圍第1項所述之製造方法，其中該輕摻雜汲極區與該源極／汲極區具有相同的電性，與該基底之電性則相反。

9.如申請專利範圍第8項所述之製造方法，其中該輕摻雜汲極區之濃度低於該源極／汲極區。

10.一種閘極之製造方法，包括下列步驟：

提供一基底；

依序形成一閘極氧化層、一多晶矽層、一阻障層與一導電層於該基底上；

定義並去除部分該導電層與該阻障層，至暴露出該多晶矽層為止；

進行一第一離子植入步驟，在該基底上形成一輕摻雜汲極區；

在該導電層與該阻障層側壁形成一間隙壁；

去除暴露出來之該多晶矽層與該閘極氧化層，至暴露出基底為止，其中剩餘之該多晶矽層與該阻障層以及該導電層組成具倒T字型之一閘極電極；以及

進行一第二離子植入步驟，在該閘極電極兩側之該基底中形成一源極／汲極區。

- 11.如申請專利範圍第10項所述之製造方法，其中該多晶矽層之厚度約為300～1000A。
  - 12.如申請專利範圍第10項所述之製造方法，其中該導電層之厚度約為200～500A。
  - 13.如申請專利範圍第10項所述之製造方法，其中該導電層具有低阻值。
  - 14.如申請專利範圍第13項所述之製造方法，其中該導電層之材質包括錫。
  - 15.如申請專利範圍第10項所述之製造方法，其中該阻障層之材質包括氮化鈦。
  - 16.如申請專利範圍第10項所述之製造方法，其中該間隙壁之材質包括氮化矽、二氧化矽與氮氧化矽其中之一。
  - 17.如申請專利範圍第10項所述之製造方法，其中該第一離子植入步驟與該第二離子植入步驟植入之離子具有相同的電性，與該基底之電性則相反。
- 圖式簡單說明：
- 第一圖繪示習知一種金氧半電晶體的剖面圖；以及
- 第二圖A至第二圖F繪示依照本發明一較佳實施例的具有倒T字型的閘極之製造流程圖。

專利相關圖形檔：[附圖 1] [附圖 2]

專利相關公告：資料庫中無相關雜文..

開始連線時間:14:50:30|斷線時間:14:50:30|連線時間:1秒

[資料庫簽入](#)

[輸入查詢條件](#)

[查詢結果統計](#)

[查詢結果瀏覽](#)

[專利公報全文](#)

本系統使用 Apipa Patent Search Engine 1.1版

資料來源：智慧財產局

專案執行：A P I P A

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

(C) COPYRIGHT 1998 APIPA

# 中華民國專利公報資料庫 - 專利相關圖形檔

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###  
 資料來源：智慧財產局  
 專案執行：APIPA

(2)

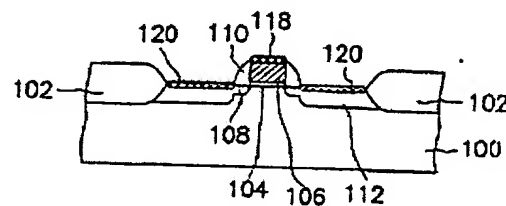
- 定義並去除部分該導電層與該阻障層，至暴露出該多晶矽層為止；  
 進行一第一離子植入步驟，在該基底上形成一輕掺杂接觸區；  
 在該導電層與該阻障層側壁形成一開隙壁；  
 去除暴露出來之該多晶矽層與該開隙壁氧化層，至暴露出基底為止，其中剩餘之該多晶矽層與該阻障層以及該導電層形成具倒T字型之一開槽電極；以及  
 進行一第二離子植入步驟，在該開槽電極兩側之該基底中形成一源極/汲極區。
- 11.如申請專利範圍第 10 項所述之製造方法，其中該多晶矽層之厚度約為 300 ~ 1000Å。
- 12.如申請專利範圍第 10 項所述之製造方法，其中該導電層之厚度約為 200 ~ 500Å。

- 13.如申請專利範圍第 10 項所述之製造方法，其中該導電層具有低阻值。
- 14.如申請專利範圍第 13 項所述之製造方法，其中該導電層之材質包括鈷。
- 15.如申請專利範圍第 10 項所述之製造方法，其中該阻障層之材質包括氮化鈦。
- 16.如申請專利範圍第 10 項所述之製造方法，其中該開隙壁之材質包括氮化矽、二氧化矽與氮氧化矽其中之一。
- 17.如申請專利範圍第 10 項所述之製造方法，其中該第一離子植入步驟與該第二離子植入步驟植入之離子具有相同的電性，與該基底之電性則相反。

圖式簡單說明：

第一圖繪示習知一種金屬半導體的剖面圖；以及

第二圖 A 至第二圖 F 繪示依照本發明一較佳實施例的具有倒T字型的開槽之製造流程圖。



第一圖

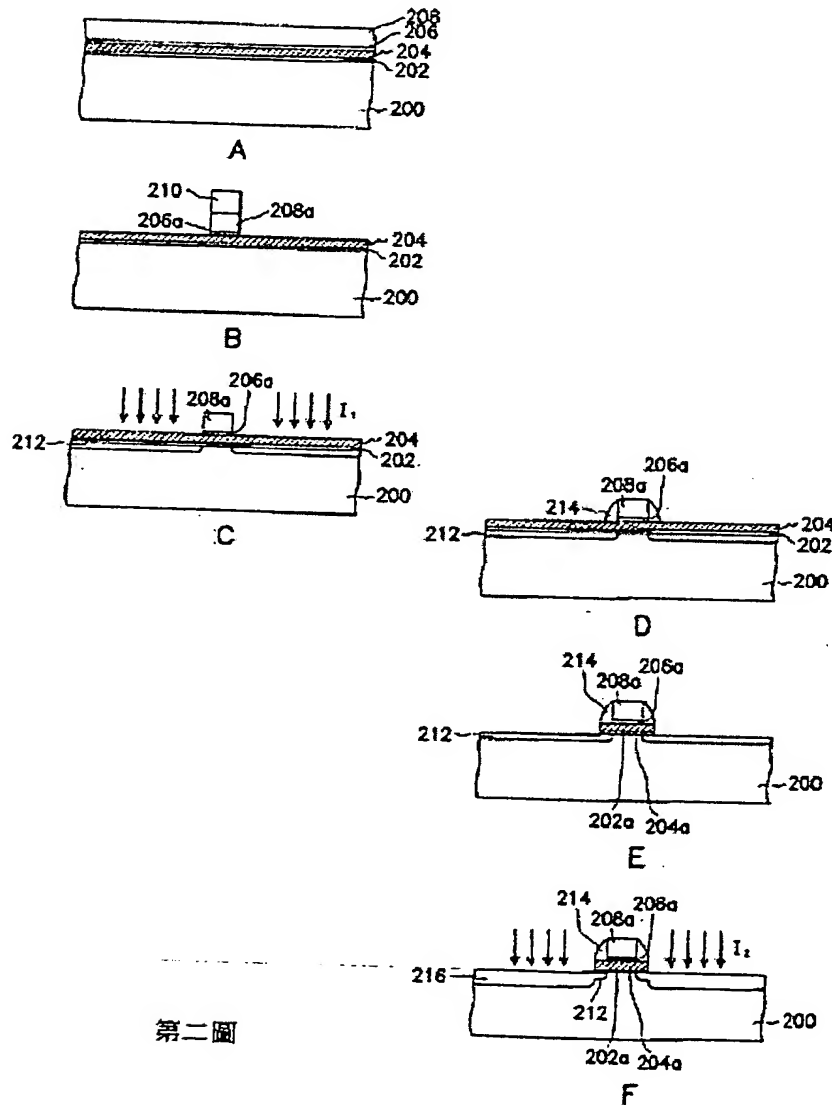
# 中華民國專利公報資料庫 - 專利相關圖形檔

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

資料來源：智慧財產局

專案執行：APIPA

(J)



第二圖

- 1581 -

Docket # P2001,0216

Applic. # 10/673,705

Applicant: Cappellani et al.

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

**DECISION OF THE INTELLECTUAL PROPERTY OFFICE**

**(TRANSLATION)**

Issuance Date: 6 August 2003

1. Application No.: 091104389  
International Classification: H02L 21/8238
2. Title: METHOD FOR FABRICATING A MOSFET HAVING A VERY SMALL CHANNEL LENGTH
3. Applicant: Infineon Technologies AG  
Address: Germany
4. Attorney: C. V. Chen  
Address: 7th Floor, No. 201, Tun Hua North Road, Taipei
5. Filing Date: 31 January 2001
6. Priority Claim: 1 2001/03/26 DE 10114778.3
7. Examiner: Chien, Hsin-Yu
8. Contents of Decision:

SUBJECT: The subject matter shall not be granted a patent.

BASIS: Paragraph 2 of Article 20 of the Patent Law.

REASONS:

- (1) The present invention, entitled "METHOD FOR FABRICATING A MOSFET HAVING A VERY SMALL CHANNEL LENGTH," is directed to fabricating a transistor with a very short channel length.
- (2) The method of the present invention primarily comprises the growth in sequence of a dielectric layer silicon dioxid, a first gate of the polysilicon and a second gate of a metal layer W on a semiconductor substrate, defining the second gate layer in such a way that the width of the second gate layer is greater than the predetermined channel length, anisotropically etching the





second and first gate layers, and isotropically laterally undercutting the first, second gate layers and the dielectric layer to obtain a T-shape gate structure.

- (3) The materials of gate dielectric layer, polysilicon layer, and metal layer W utilized in the present invention have been disclosed in the prior art, such as Attachment 1 (R.O.C. Patent Publication No. 381309, published on 1 February 2000). The method of utilizing anisotropically etching and isotropically eaching to form a T-shape gate for a gate in shorter length has been disclosed in the prior art such as Attachment 2 (DE4234777, published on 21 April, 1994). The present invention merely utilizes conventional technology or knowledge known by combining these two prior art references and can be easily accomplished by persons skilled in the art.

In view of the above, the application does not conform to the provisions of Paragraph 2 of Article 20 of the Patent Law and patent rights are not granted thereto.

Sealed By

Chen, Ming-Bang  
Commissioner

Note: If dissatisfied with the decision, the applicant may file a request for re-examination within 30 days following the date of receipt of this decision.



正本

裝

訂

線

# 經濟部智慧財產局專利核駁審定書

受文者：億恒科技公司（代理人：陳長文 先生）

地址：臺北市松山區敦化北路二〇一號七樓

發文日期：中華民國九十二年八月六日

發文字號：（八九二）智專二（一）04069字

第〇九二二〇七九四六二〇號

一、申請案號數：〇九一一〇四三八九

專利分類IPC(7)：H01L 21/8238

二、發明名稱：具極短通道長度之金屬氧化半導體場效電晶體之製造方法

三、申請人：

名稱：億恒科技公司

地址：德國

四、專利代理人：

姓名：陳長文 先生

地址：臺北市松山區敦化北路二〇一號七樓

五、申請日期：九十一年三月八日

六、優先權項目：

1 2001/03/26 德國10114778.3

9. 4 (12. 2)





七、審查人員姓名：簡信裕 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案「具極短通道長度之金屬氧化半導體場效電晶體之製造方法」係揭示製造具極短通道長度之閘極電晶體。

(二) 本案之主要方法係包含於半導體基本上依序成長一閘極介電層(二氧化矽)、多晶矽層之第一閘極層及一金屬層(鎢)之第二閘極層，定義第二閘極層使第二閘極層之寬度比預定之通道長度還大，以非等向蝕刻法蝕刻第二及第一閘極層，再以等向性蝕刻法蝕刻該第二、第一閘極層及該介電層，以得到一「 $\Gamma$ 」型閘極結構。

(三) 本案中所採用之閘極介電層、多晶矽層及金屬層（鎢）之材料於相關前案如附件一（中華民國專利公告號：381309，公告日：2000年2月1日）中已揭示。本案利用等向性蝕刻及非等向蝕刻之方法來形成「形閘極，如此可得到一較小長度之閘極，其於相關前案中，如附件1（DE4234777，公告日：1994年4月21日）亦已揭示。本案所提之方法為兩前案技術之結合運用，並無創新之技術手段。故本案僅運用申請前既有之知識或技術，而為熟習該項技術者所輕易完成者。



裝

訂

線

據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。

局長  
**蔡練生**

依照分層負責規定授權單位主管執行

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。

DOCKET NO: P2001,0216  
SERIAL NO: 10/673,705  
APPLICANT: Cappellani et al.  
LERNER AND GREENBERG P.A.  
P.O. BOX 2480  
HOLLYWOOD, FLORIDA 33022  
TEL. (954) 925-1100